

(19) 日本国特許庁 (J P)

再 公 表 特 許 (A 1)

(11) 国際公開番号

W O 9 8 / 2 5 2 9 8

発行日 平成11年(1999) 4 月 6 日

(43) 国際公開日 平成10年(1998) 6 月 11 日

(51) Int.Cl.<sup>9</sup>

識別記号

F I

H 0 1 L 21/3205

21/60

審査請求 未請求 予備審査請求 未請求(全 53 頁)

出願番号 特願平10-523489  
 (21) 国際出願番号 P C T / J P 9 7 / 0 4 4 3 8  
 (22) 国際出願日 平成 9 年(1997) 12 月 4 日  
 (31) 優先権主張番号 特願平8-339045  
 (32) 優先日 平 8 (1996) 12 月 4 日  
 (33) 優先権主張国 日本 (J P)  
 (31) 優先権主張番号 特願平8-356880  
 (32) 優先日 平 8 (1996) 12 月 26 日  
 (33) 優先権主張国 日本 (J P)

(71) 出願人 セイコーエプソン株式会社  
 東京都新宿区西新宿 2 丁目 4 番 1 号  
 (72) 発明者 橋元 伸晃  
 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内  
 (74) 代理人 弁理士 井上 一 (外 2 名)

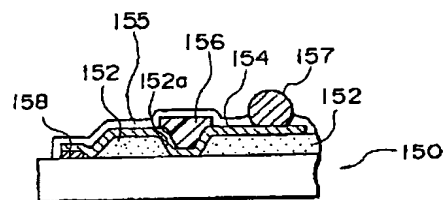
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法、回路基板並びに電子機器

## (57) 【要約】

パッケージサイズがチップサイズに近く、応力吸収層とは別に、熱ストレスを効果的に吸収することができる半導体装置である。半導体装置 (150) は、電極 (158) を有する半導体チップと、半導体チップの上に設けられる応力緩和層としての樹脂層 (152) と、電極 (158) から樹脂層 (152) の上にかけて形成される配線 (154) と、樹脂層 (152) の上方で配線 (154) に形成されるハンダボール (157) と、を有し、樹脂層 (152) は表面に窪み部 (152a) を有するように形成され、配線 (154) は窪み部 (152a) の上を通過して形成される。

FIG.14A





Home



Search



List

☐ Include**MicroPatent® PatSearch FullText:** Record 1 of 1

Search scope: US EP WO JP; Full patent spec.

Years: 1990-2001

Text: Patent/Publication No.: WO9825298

[no drawing available]

[Download This Patent](#)[Family Lookup](#)[Go to first matching text](#)**WO9825298****SEMICONDUCTOR DEVICE, METHOD FOR MANUFACTURE THEREOF, CIRCUIT BOARD,  
AND ELECTRONIC EQUIPMENT****SEIKO EPSON CORPORATION****Inventor(s): HASHIMOTO, Nobuaki****Application No. JP9704438, Filed 19971204, A1 Published 19980611**

**Abstract:** A semiconductor device whose package size is nearly the same as the size of a chip, and which can effectively absorb thermal stress in addition to a stress absorbing layer. A semiconductor device (150) has semiconductor chip having an electrode (158), a resin layer (152) formed as a stress reducing layer on the semiconductor chip, an interconnect (154) which is formed on the entire surface including the electrode (158) and the resin layer (152), and a solder ball (157) which is formed on a part of the interconnect (154) which is formed on the resin layer (152). The resin layer (152) is so formed as to have a recess (152a) on its surface and the interconnect (154) is so formed as to also cover the entire surface including the recess (152a).

Int'l Class: H01L0213205; H01L02160

Priority: JP 8/339045 19961204 ; JP 8/356880 19961226

**Designated States:** AL AM AT AU AZ BA BB BG BR BY CA CH CN CU CZ DE DK EE ES FI GB GE GH HU ID IL IS JP KE KG KR KZ LC LK LR LS LT LU LV MD MG MK MN MW MX NO NZ PL PT RO RU SD SE SG SI SK SL TJ TM TR TT UA UG US UZ VN YU ZW GH KE LS MW SD SZ UG ZW AM AZ BY KG KZ MD RU TJ TM AT BE CH DE DK ES FI FR GB GR IE IT LU MC NL PT SE BF BJ CF CG CI CM GA GN ML MR NE SN TD TG



Home



Search



List

☐ Include

For further information, please contact:

[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)